

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01211155 A

(43) Date of publication of application: 24.08.89

(51) Int. Cl.

G06F 13/28

G06F 13/00

(21) Application number: 63037171

(71) Applicant: HITACHI LTD

(22) Date of filing: 19.02.88

(72) Inventor: IIMURA KENJI

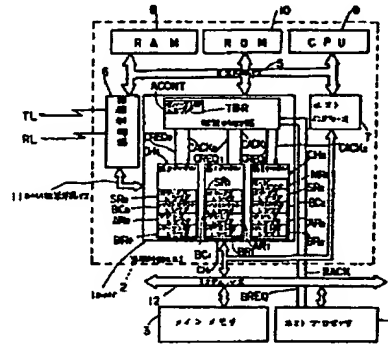
(54) DATA TRANSFER CONTROL DEVICE

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract

PURPOSE: To improve data transfer efficiency by controlling the number of the words of the continuously data transfer of respective channels based on the set value of a burst number register, and maintain bus rights until the number of the transferred words reach the set value.

CONSTITUTION: When enable bits are set in the sequence of status registers SR_0 WSR_2 , channel request signals $CREQ_0$ $WCREQ_2$ are asserted, applied to a transfer control part ACONT, a bus request signal BREQ is asserted, and the bus rights are required to a host processor 4. When the processor 4 asserts a bus acknowledging signal BACK and abandons the bus rights, a control part ACONT asserts an acknowledging signal $CACK_0$ which has responded to a first signal $CREQ_0$, and data received by a control part 6 are transferred through a 0th channel CH_0 to a memory 3. When the received data of the control part 6 are transferred to the memory 3 by the number of the bytes of the data set at a register BR_0 , the signals $CREQ_0$ and $CACK_0$ are negated, and the data transfer is completed.



⑫ 公開特許公報(A) 平1-211155

⑬ Int.Cl.⁴G 06 F 13/28
13/00

識別記号

3 1 0
3 5 3

庁内整理番号

A-8840-5B
S-7218-5B

⑭ 公開 平成1年(1989)8月24日

審査請求 未請求 請求項の数 3 (全12頁)

⑮ 発明の名称 データ転送制御装置

⑯ 特 願 昭63-37171

⑰ 出 願 昭63(1988)2月19日

⑱ 発 明 者 飯 村 健 二 茨城県日立市幸町3丁目1番1号 株式会社日立製作所日立工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 玉村 静世

明 細 書

1. 発明の名称

データ転送制御装置

2. 特許請求の範囲

1. 複数のデータ転送チャネルを備え、個々のチャネルにおけるデータ転送語数を規定するためのバースト数レジスタと、複数チャネルに亘る連続データ転送語数を規定するための全バースト数レジスタと、チャネルのデータ転送可能な状態を受けてバス権獲得のための制御を行い、個々のチャネルにおける連続データ転送語数をバースト数レジスタの設定値に基づいて夫々制御すると共に、バス権獲得後における連続データ転送語数が全バースト数レジスタの設定値に到達するまでデータ転送可能な状態にある他のチャネルのためのバス権を維持する制御手段とを含んで成るデータ転送制御装置。

2. 上記バースト数レジスタ又は全バースト数レジスタは書き換え可能に構成されて成るものであることを特徴とする特許請求の範囲第1項記

載のデータ転送制御装置。

3. 回線制御部及びセントラル・プロセッシング・

ユニットを備えた通信制御用LSIに含まれると共に、上記回線制御部に専用のデータ転送バスで結合された特許請求の範囲第1項又は第2項記載のデータ転送制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデータ転送制御装置さらには複数チャネルを持つダイレクト・メモリ・アクセス・コントローラにおける複数チャネルに亘る連続データ転送制御に関し、例えば、通信プロトコルに従ってデータ伝送制御を行う通信制御LSIに適用して有効な技術に関するものである。

〔従来技術〕

データ転送制御におけるプロセッサの負担を軽減するためのデータ転送制御装置としてダイレクト・メモリ・アクセス・コントローラが従来から用いられており、このコントローラはバスの使用権をプロセッサから獲得することによってメモリ

や各種入出力回路との間におけるデータ転送制御をプロセッサに代わって行う。

ダイレクト・メモリ・アクセス・コントローラによる転送方式は一般的に、1語のデータ転送毎にバス使用権を要求し動作終了後に当該使用権をプロセッサに返すサイクルスチール方式と、一度バス使用権を獲得すると連続的に複数語データ転送を行いその間プロセッサが待ち状態などを採るバースト方式に大別される。このバースト方式において、ダイレクト・メモリ・アクセス・コントローラによるバスの占有期間が無制限に長くなるとプロセッサの動作効率低下を招く虞があるため、連続転送語数を制限することが望ましい。

ところで、一般的なシステムでは複数の周辺装置が使われるため、ダイレクト・メモリ・アクセス・コントローラは複数のチャンネルを備え、個々のチャンネル毎に転送先アドレスや転送語数を設定してデータ転送制御を行い得るようになっているが、従来個々のチャンネルにおけるデータ転送制御には相互に関連性を持たせるような手段は講じら

れていない。例えば、特定の周辺装置に割り付けられたチャンネルを介してデータ転送制御が行われているとき、その他のチャンネルに対してデータ転送要求がなされていても、先にデータ転送を行っているチャンネルの動作が終了されると一旦バス使用権が放棄され、その後で新たにバス権獲得のためのハンドシェイクインタフェースが行われる。

尚、複数チャンネルを持つダイレクト・メモリ・アクセス・コントローラについて記載された文献の例としては昭和60年9月株式会社日立製作所発行の「日立マイクロコンピュータデータブック 8/16ビットマイクロコンピュータ周辺LSI」P389～P442がある。

〔発明が解決しようとする課題〕

しかしながら、複数チャンネルを備えたダイレクト・メモリ・アクセス・コントローラにおいて、個々のチャンネルにおけるデータ転送制御に相互に関連性を持たせるような手段が講じられておらず、各チャンネルに対するバス権獲得制御が完全独立であると、データ転送制御を別チャンネルに移す度に

バス権を一旦放棄して新たにバス権を獲得するための動作が必要になり、これによってデータ転送効率の低下さらにはシステムのスループット低下を招くという問題があった。

特に、本発明者の検討によれば、複数のチャンネルにまたがって関連あるデータを転送しなければならないようなシステム、例えば通信制御用コントローラを含むようなシステムでは、回線制御部を介するデータの送受信制御に必要な制御情報やダイレクト・メモリ・アクセス・コントローラによるデータ転送制御に必要なアドレス情報などをメインメモリから読み込むことが必要とされ、さらには受信内容に応じて送信処理を行うことも必要とされるため、各種制御情報や送信データをメインメモリから通信制御用コントローラに転送したり、受信データをメインメモリに転送したりする動作相互間で関連を有する場合が頻繁に生じ、このようなときに複数のチャンネルにまたがって連続的にデータ転送を行うことができないと、システムのスループットは著しく低下してしまうこと

が明らかにされた。

本発明の目的は、複数のチャンネルにまたがって連続的にデータ転送を行うことができ、データ転送効率の向上を達成することができるデータ転送制御装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、複数のデータ転送チャンネルを備え、個々のチャンネルにおけるデータ転送語数を規定するためのバースト数レジスタと、複数チャンネルに亘る連続データ転送語数を規定するための全バースト数レジスタと、チャンネルのデータ転送可能な状態を受けてバス権獲得のための制御を行い、個々のチャンネルにおける連続データ転送語数をバースト数レジスタの設定値に基づいて夫々制御すると共に、バス権獲得後における連続データ転送語

数が全バースト数レジスタの設定値に到達するまでデータ転送可能な状態にある他のチャンネルのためにバス権を維持する制御手段とを含んで成るものである。このとき、上記バースト数レジスタ又は全バースト数レジスタは書き換え可能に構成することができる。

また、回線制御部及びセントラル・プロセッシング・ユニットを備えた通信制御用 LSI にデータ転送制御装置を含めるとき、当該データ転送制御装置を上記回線制御部に専用のデータ転送バスで結合することができる。

〔作用〕

上記した手段によれば、制御手段は、チャンネルにおけるデータ転送可能な状態に呼応してバス権を獲得し、個々のチャンネルにおける最大連続データ転送語数を対応するバースト数レジスタの設定値に従って制御すると共に、複数のチャンネルにおけるデータ転送可能な状態を受けるときにはバス権獲得後における連続データ転送語数が最大限全バースト数レジスタの設定値に到達するまでバス

権を維持するように複数チャンネルにまたがる一連のデータ転送語数を統括的に監視してバス権の放棄を制御することにより、複数のチャンネルにまたがった連続的なデータ転送を可能としてデータ転送効率の向上を達成するものである。

特に、書き換え可能なバースト数レジスタや全バースト数レジスタを採用することにより、複数のチャンネルにまたがった連続的なデータ転送制御に自由度が出る。

通信制御 LSI に含まれるデータ転送制御装置が上記回線制御部に専用のデータ転送バスで結合されると、データ転送制御装置のアクセス制御によって回線制御部と当該 LSI の外部との間でデータ転送が行われるとき、通信制御用 LSI 内部の共通内部バスは当該データ転送に占有されず、斯るデータ転送中に、内蔵セントラル・プロセッシング・ユニットは通信プロトコル処理などの必要に応じて共通内部バスを利用することができるようになり、これによって、通信制御 LSI の性質上送受信などのためのデータ転送頻度が極めて

高くなってもこの状態が内蔵セントラル・プロセッシング・ユニットの動作効率を著しく低下させることを防止する。

〔実施例〕

第 1 図は本発明に係るデータ転送制御装置の一実施例であるダイレクト・メモリ・アクセス・コントローラを含むシステムブロック図である。同図に示されるダイレクト・メモリ・アクセス・コントローラ（単に DMAC とも記す）1 は、特に制限されないが、公知の半導体集積回路製造技術によってシリコン基板のような 1 つの半導体基板に形成された通信制御 LSI 2 に内蔵される。

第 1 図に示される通信制御 LSI 2 は、特に制限されないが、送受信データや各種パラメータなどを格納するメインメモリ 3 やシステム全体の制御を司るホストプロセッサ 4 などと共にシステムバス 12 に結合されて所定の通信機能モジュールを構成し、相手局を構成するその他の通信機能モジュールとの間でデータ通信を行う場合にデータ伝送制御手順やその他の制御を支援する。

ここで先ず通信制御 LSI 2 を全体的に説明する。

この通信制御 LSI 2 は、送信回線 TL 及び受信回線 RL を介して相手局とシリアルインタフェースを行う回線制御部 6、ホストプロセッサ 4 やメインメモリ 3 などとインタフェースされるホストインタフェース 7、ホストインタフェース 7 を介さずに直接メインメモリ 3 などとの間でデータ転送を行うための DMAC 1、回線制御部 6 を介するデータ伝送制御のために必要とされるシステム定数などの各種制御用データや DMAC 1 によるデータ転送制御に必要な各種制御情報などを書き換え可能に格納する RAM（ランダム・アクセス・メモリ）8、及び通信制御 LSI 2 全体の制御を司る CPU（セントラル・プロセッシング・ユニット）9、及び回線制御部 6 におけるデータ伝送制御手順を規定するための通信プロトコル処理プログラムやその他通信制御 LSI 全体を制御するためのプログラムなどが組み込まれた ROM（リード・オンリ・メモリ）10 が、夫々共通内

部バス5に結合されて構成される。

上記回線制御部6は、特に制限されないが、受信回線RLから受信した直列データに対してビット同期及びキャラクタ同期を採り、これを直列・並列変換し、伝送誤りを検出するための所定の演算を行うと共に、受信データもしくは受信フレームの種類に応じてCPU9に所定の割込み処理を指示する。また、データの送出に際しては、送出すべきデータもしくはフレームを並列・直列変換し、ビット同期及びキャラクタ同期を採りながら、伝送誤り検出用の符号などを付加してデータを送信回線TLから送出する。

上記ホストインタフェース7は、ホストプロセッサ4が通信制御LSI2にコマンドを発行したり、通信制御LSI2の内部状態に対応するステータスを読み取ったりするときに利用される。

上記DMAC1は、回線制御部6で処理された受信データもしくは受信フレームの所定フィールドをメインメモリ3へ格納するためのデータ転送制御を行うと共に、メインメモリ3に格納されて

いるデータを送信するために回線制御部6に転送する制御を行い、さらには、通信プロトコル処理に必要な各種パラメータやテーブル構成用データ及びDMAC1によるデータ転送制御用情報をメインメモリ3とRAM8との間で転送する制御を行う。

特に制限されないが、回線制御部6とメインメモリ3との間で行われるDMAC1の制御に基づくデータ転送には、DMAC1と回線制御部6とを結合するDMA転送専用バス11が用いられる。これにより、DMAC1のアクセス制御によって回線制御部6とメインメモリ3との間でのデータ転送が行われるとき、共通内部バス5は当該DMA転送に占有されず、斯るDMA転送中に、CPU9は通信プロトコル処理の必要に応じて共通内部バス5を利用することができる。

上記回線制御部6とDMA転送専用バス11との間には、特に制限されないが、ファースト・イン・ファースト・アウト形式の図示しないデータバッファが設けられていて、上記DMAC1の制

御によるデータ転送速度と回線制御部6によるデータの送受信速度との相違を吸収もしくは緩衝するようになっている。

斯る通信制御LSI2において、例えばHDL C (ハイレベル・データ・リンク・コントロール) 系列の制御手順が採用されている場合、上記回線制御部6は、これに供給されるデータもしくはフレームを解釈して、それに含まれるアドレスや制御フィールドに含まれる情報の処理を進めると共に、フレームを構成する情報、即ち受信フレームの情報又はDMAC1を経由してメインメモリ3から転送される送信すべき情報を、上記ファースト・イン・ファースト・アウト形式の図示しないデータバッファに蓄える。

このとき、回線制御部6は、アドレスや制御フィールドに含まれる情報などに従ってCPU9に各種割込みを与える。CPU9はそのときの割込みの種類に応じたベクタを発生して制御手順を分岐させる。例えば、情報フレームの受信である場合には、フレームチェックシーケンスと誤り検出

のための演算結果とが照合され、正常な場合にはDMAC1が起動されて、図示しないデータバッファに蓄えられた受信データの情報フィールドがDMAC1を経由してメインメモリ3に転送される。また、情報フレームの送信である場合には、DMAC1を経由して図示しないデータバッファに取り込まれている情報フィールドに、アドレスフィールド、制御フィールド、フレーム開始フラグ、フレームチェックシーケンス及びフレーム終了フラグが付加されてフレームが作成され、これが回線制御部6から送出される。

次にDMAC1の詳細を説明する。

本実施例のDMAC1は、回線制御部6で受信したデータをメインメモリ3に転送するための第0チャンネルCH₀、送信データをメインメモリ3から回線制御部6に転送するための第1チャンネルCH₁、メインメモリ3とRAM8相互間におけるデータ転送のための第2チャンネルCH₂を備える。

第0チャンネルCH₀に対応するデータ転送制御

レジスタとしては、当該チャネルにおけるデータ転送の可否をイネーブルビットやディスイネーブルビットによって示すステータスレジスタ SR_0 、データ転送バイト数が設定されるバイトカウントレジスタ BC_0 、転送元先頭アドレスが格納されるアドレスレジスタ AR_0 、バーストモードによる第0チャネルでの連続データ転送バイト数が設定されるバースト数レジスタ BR_0 が設けられている。同様に第1チャネル CH_1 に対応するデータ転送制御レジスタは、当該チャネルにおけるデータ転送の可否をイネーブルビットやディスイネーブルビットによって示すステータスレジスタ SR_1 、データ転送バイト数が設定されるバイトカウントレジスタ BC_1 、転送元先頭アドレスが格納されるアドレスレジスタ AR_1 、バーストモードによる第1チャネル CH_1 での連続データ転送バイト数が設定されるバースト数レジスタ BR_1 とされ、さらに、第2チャネル CH_2 に対応するデータ転送制御レジスタは、データ転送方向を示すモードレジスタ MR_2 、当該チャネルにおける

対応チャネルにおける1バイトのデータ転送動作毎にその設定値が図示しないディクリメントによって減算される。バイトカウントレジスタ BC_0 、 BC_1 、 BC_2 がディクリメントされてクリア状態に戻されたときは対応するステータスレジスタ SR_0 、 SR_1 、 SR_2 のイネーブルビットがリセットされ、これに呼応して対応するチャネルリクエスト信号 $CREQ_0$ 、 $CREQ_1$ 、 $CREQ_2$ がネゲートされる。

バースト数レジスタ BR_0 、 BR_1 、 BR_2 の設定値は図示しないバースト数コンペアレジスタの値と比較される。このバースト数コンペアレジスタはこれに対応するチャネルにおけるデータ転送動作の開始によってクリアされ、1バイトのデータ転送毎にその値がインクリメントされる。この図示しないバースト数コンペアレジスタの値が対応するバースト数レジスタの値に一致すると、対応するバイトカウントレジスタがクリア状態に到達しておらずに対応するチャネルリクエスト信号 $CREQ_0$ 、 $CREQ_1$ 、 $CREQ_2$ がアサート状

データ転送の可否をイネーブルビットやディスイネーブルビットによって示すステータスレジスタ SR_2 、データ転送バイト数が設定されるバイトカウントレジスタ BC_2 、転送元先頭アドレス及び転送先頭アドレスが格納されるアドレスレジスタ AR_2 、バーストモードによる第2チャネル CH_2 での連続データ転送バイト数が設定されるバースト数レジスタ BR_2 とされる。

上記各チャネル $CH_0 \sim CH_2$ に対応して設けられた各種データ転送制御用レジスタに対するデータの設定は、回線制御部6からの割込みやホストプロセッサ4から与えられるコマンドに基づいて上記CPU9が行う。

上記ステータスレジスタ SR_0 、 SR_1 、 SR_2 にイネーブルビットが設定されると、これに応ずるチャネル CH_0 、 CH_1 、 CH_2 に対応されるチャネルリクエスト信号 $CREQ_0$ 、 $CREQ_1$ 、 $CREQ_2$ がアサートされる。

各チャネル CH_0 、 CH_1 、 CH_2 に対応されるバイトカウントレジスタ BC_0 、 BC_1 、 BC_2 は

態を保持している場合、当該チャネルリクエスト信号は一旦ネゲートされた後に再びアサートされる。

アドレスレジスタ AR_0 、 AR_1 、 AR_2 は、対応チャネルにおける1バイトのデータ転送動作毎にその設定値が図示しないインクリメントによって加算されてネクストアドレスを保有していく。

チャネルリクエスト信号 $CREQ_0$ 、 $CREQ_1$ 、 $CREQ_2$ は夫々転送制御部 $ACONT$ に供給される。この転送制御部 $ACONT$ は、チャネルリクエスト信号 $CREQ_0$ 、 $CREQ_1$ 、 $CREQ_2$ の何れか1つがアサートされるとこれに呼応してバスリクエスト信号 $BREQ$ をアサートして、ホストプロセッサ4にバス権開放を要求する。ホストプロセッサ4は実行中のメモリサイクルを終了した後にバスアクナリッジ信号 $BACK$ をアサートしてバス権を放棄する。これによってバス権を獲得した転送制御部 $ACONT$ は、夫々のチャネルに対応するチャネルリアクノリッジ信号の何れか1つをアサートして所定のチャネルにデータ転

送動作の開始を指示する。このとき複数のチャネルリクエスト信号がアサートされているときには、特に制限されないが、そのアサートタイミングの早遅に従って優先制御を行い、優先度の高いチャネルに対してチャネルアクノリッジ信号をアサートする。

転送制御部ACONTは一旦獲得したバス権を維持しながら複数チャネルに亘る連続データ転送を可能とする。即ち、複数チャネルに亘る連続データ転送バイト数を規定するための全バースト数レジスタTBRを備える。この全バースト数レジスタTBRにはCPU9によって全バースト数が初期設定される。この設定値は図示しない全バースト数コンペアレジスタの値と比較される。全バースト数コンペアレジスタは、転送制御部ACONTがバス権を獲得して何れかのチャネルにデータ転送動作を開始させることに呼応してクリアされ、その後1バイトのデータ転送毎にインクリメントされる。転送制御部ACONTは、バス権を獲得した後に全てのチャネルリクエスト信号CR

REQ., CREQ₁, CREQ₂がネゲート状態にされる場合、及び図示しない全バースト数コンペアレジスタの値が上記全バースト数レジスタTBRに一致する場合にだけ当該バス権を放棄する。

したがって、1つのチャネルリクエスト信号がアサートされている状態では、これに応ずるチャネルにおける図示しないバースト数コンペアレジスタの値が対応するバースト数レジスタの設定値に一致する場合、又は当該チャネルに対応するバイトカウントレジスタが0にクリアされた場合にバス権を放棄する。複数のチャネルリクエスト信号がアサートされた場合には、優先制御に基づいて最初にデータ転送動作が開始されたチャネルにおける図示しないバースト数コンペアレジスタの値が対応するバースト数レジスタBR₀, BR₁, BR₂の設定値に一致し、又は当該チャネルに対応するバイトカウントレジスタBC₀, BC₁, BC₂が0にクリアされて、当該チャネルのチャネルリクエスト信号がネゲートされても、バスリクエスト信号BREQはその他のチャネルにおける

アサート状態のチャネルリクエスト信号によってアサート状態が保持され、そのまま次のチャネルにおけるデータ転送動作に移行される。そして最大限図示しない全バースト数コンペアレジスタの値が全バースト数レジスタTBRの設定値に一致されるまで、複数チャネルに亘る一連のデータ転送動作が1回のバス権獲得期間中に許容される。

次に上記DMAC1による複数チャネルに亘る一連のデータ転送動作を説明する。

通信制御LSI2が受信回路RLからデータを受信する場合には、当該受信データは回路制御部6でパラレルデータに変換されて内部の図示しないデータバッファに蓄えられと共に、CPU9にデータ受信を意味する割込みを発生する。これによりCPU9はDMAC1の第0チャネルCH₀を介するデータ転送制御のために必要な各種制御情報を設定する。即ち、バイトカウントレジスタBC₀にデータ転送バイト数を設定すると共に、アドレスレジスタAR₀にメインメモリ3における転送先先頭アドレスを格納し、更にステータス

レジスタSR₀にイネーブルビットを設定する。尚、第0チャネルCH₀での連続データ転送バイト数をバースト数レジスタBR₀に設定する動作は、特に制限されないが、システム起動時に行われ、その値は一定に保たれている。

通信制御LSI2の送信回路TLからデータ送信を行う場合には、予めホストプロセッサ4は送信すべきデータをメインメモリ3に格納してからデータ送信を指示するコマンドをCPU9に与えておく。CPU9はこのコマンドを実行するに当たって、DMAC1の第1チャネルCH₁を介するデータ転送制御のために必要な各種制御情報を設定する。即ち、バイトカウントレジスタBC₁にデータ転送バイト数を設定すると共に、アドレスレジスタAR₁にメインメモリ3における転送元先頭アドレスを格納し、更にステータスレジスタSR₁にイネーブルビットを設定する。尚、第1チャネルCH₁での連続データ転送バイト数をバースト数レジスタBR₁に設定する動作は、特に制限されないが、システム起動時に行われ、そ

の値は一定に保たれている。

回線制御部6を介するデータの送受信に必要な各種パラメータもしくは制御情報などをRAM8とメインメモリ3相互間で転送する場合には、ホストプロセッサ4は当該データ転送に必要なコマンドをCPU9に与えておく。CPU9はこのコマンドを実行するに当たって、DMAC1の第2チャンネルCH₂を介するデータ転送制御のために必要な各種制御情報を設定する。即ち、バイトカウントレジスタBC₂にデータ転送バイト数を、そしてモードレジスタMR₂にデータ転送方向を示すデータを設定すると共に、アドレスレジスタAR₂に転送元先頭アドレス及び転送先頭アドレスを格納し、更にステータスレジスタSR₂にイネーブルビットを設定する。尚、第2チャンネルCH₂での連続データ転送バイト数をバースト数レジスタBR₂に設定する動作は、特に制限されないが、システム起動時に行われ、その値は一定に保たれている。

転送制御部ACONTに含まれる全バースト数

CREQ₁、CREQ₂のアサートタイミングの早遅に従った優先制御に基づき、そのとき最初にアサートされたチャンネルリクエスト信号CREQ₁に応ずるチャンネルアクノリッジ信号CACK₁をアサートし、これによって回線制御部6で受信されたデータが第0チャンネルCH₀を介して第2図の時刻t₂にメインメモリ3へ転送開始される。

このとき、第0チャンネルCH₀におけるバイトカウントレジスタBC₀には7バイトに応ずるデータが設定され、バースト数レジスタBR₀には3バイトに応ずるデータが設定されているとすると、この第0チャンネルCH₀を利用して回線制御部6の受信データが3バイトだけメインメモリ3に転送されたところでチャンネルリクエスト信号CREQ₀がネゲートされ、これを受けてチャンネルアクノリッジ信号CACK₀もネゲートされることによって当該第0チャンネルCH₀におけるデータ転送動作が一旦終了され、再び当該チャンネルCH₀における残りのデータ転送のためにチャンネルリクエスト信号CREQ₀がアサートされる。

レジスタTBRには、特に制限されないが、システム起動時に8バイトに呼応するデータが設定されている。

ここで、夫々のステータスレジスタSR₀～SR₂に相前後してイネーブルビットが設定されることにより3つのチャンネルCH₀～CH₂にデータ転送動作が次々に指示される場合を以下の動作説明の中心とする。

例えば、上記イネーブルビットの設定動作はステータスレジスタSR₀、SR₁、SR₂の順番で行われたとすると、この順番に従ってチャンネルリクエスト信号CREQ₀、CREQ₁、CREQ₂がアサートされて転送制御部ACONTに与えられる。これに応じて転送制御部ACONTは第2図の時刻t₁にバスリクエスト信号BREQをアサートしてホストプロセッサ4にバス権を要求する。この要求に対してホストプロセッサ4が第2図の時刻t₁にバスアクノリッジ信号BACKをアサートしてバス権を放棄すると、転送制御部ACONTは、チャンネルリクエスト信号CREQ₀、

転送制御部ACONTが時刻t₁にバス権を獲得した後、第0チャンネルCH₀におけるデータ転送が開始されると、1バイトのデータ転送毎に図示しない全バースト数コンペアレジスタがクリア状態から順次インクリメントされ、この値が全バースト数レジスタTBRの値に到達するかの判別が転送制御部ACONTで行われる。上述のようにしてチャンネルリクエスト信号CREQ₀が一旦ネゲートされたとき、図示しない全バースト数コンペアレジスタは全バースト数レジスタTBRの設定値である8バイトに達していないため、転送制御部ACONTはそのときバス権を放棄せずに今度はその優先制御によってチャンネルリクエスト信号CREQ₁にプライオリティーを認めて当該チャンネルリクエスト信号CREQ₁に応ずるチャンネルアクノリッジ信号CACK₁をアサートする。これにより、第0チャンネルCH₀に引き続いて第1チャンネルCH₁におけるデータ転送が第2図の時刻t₂から開始される。

このとき第1チャンネルCH₁におけるバイトカ

ウントレジスタBC₁には3バイトに応ずるデータが設定され、バースト数レジスタBR₁には2バイトに応ずるデータが設定されているとすると、送信すべきデータがこの第1チャンネルCH₁を利用してメインメモリ3から回路制御部6に2バイトだけ転送されたところでチャンネルリクエスト信号CREQ₁が一旦ネグートされ、これを受けてチャンネルアクノリッジ信号CAACK₁もネグートされることによって第1チャンネルCH₁におけるデータ転送動作が一旦終了され、再び当該第1チャンネルCH₁における残りのデータ転送のためにチャンネルリクエスト信号CREQ₁がアサートされる。

このようにしてチャンネルリクエスト信号CREQ₁が一旦ネグートされたとき、図示しない全バースト数コンペアレジスタは全バースト数レジスタTBRの設定値である8バイトに達していないため、転送制御部ACONTはそのときバス権を放棄せずにその優先制御によって今度はチャンネルリクエスト信号CREQ₂にプライオリティを

認めて当該チャンネルリクエスト信号CREQ₂に応ずるチャンネルアクノリッジ信号CAACK₂をアサートする。これにより、第0チャンネルCH₀及び第1チャンネルCH₁に引き続いて第2チャンネルCH₂におけるデータ転送が第2図の時刻t₂から開始される。

このとき第2チャンネルCH₂におけるバイトカウントレジスタBC₂には1バイトに応ずるデータが設定され、バースト数レジスタBR₂には2バイトに応ずるデータが設定されているとすると、この第2チャンネルCH₂を利用してメインメモリ3とRAM8との間で1バイトのデータ転送が行われたところでチャンネルリクエスト信号CREQ₂がネグートされ、これを受けてチャンネルアクノリッジ信号CAACK₂もネグートされることによって当該チャンネルCH₂におけるデータ転送動作が終了される。

このようにしてチャンネルリクエスト信号CREQ₂がネグートされたとき、図示しない全バースト数コンペアレジスタは全バースト数レジスタT

BRの設定値である8バイトに達していないため、転送制御部ACONTはそのときバス権を放棄せずにその優先制御によってチャンネルリクエスト信号CREQ₁に再びプライオリティを認めて最初と同様にチャンネルアクノリッジ信号CAACK₁をアサートする。これにより、第0チャンネルCH₀、第1チャンネルCH₁、及び第2チャンネルCH₂に引き続いて再び第0チャンネルCH₀におけるデータ転送が第2図の時刻t₂から開始される。

第0チャンネルCH₀における今回のデータ転送が2バイト行われると、図示しない全バースト数コンペアレジスタの値が全バースト数レジスタTBRの設定値である8バイトに到達するため、転送制御部ACONTはチャンネルアクノリッジ信号CAACK₀をネグートして第0チャンネルCH₀における3バイト目のデータ転送動作を中止させ、且つ、第2図の時刻t₂にバスリクエスト信号BREQをネグートしてバス権を一旦放棄する。これにより、時刻t₂に獲得したバス権に基づく複数チャンネルにまたがる連続的なデータ転送は、全バース

ト数レジスタTBRの設定値で規定される8バイトで一通り終了される。

このようにして時刻t₂にバス権が放棄されたとき、第0チャンネルCH₀におけるバイトカウントレジスタBC₀には2バイトに呼応する値が残り、また、第1チャンネルCH₁におけるバイトカウントレジスタBC₁には1バイトに呼応する値が残っているため、チャンネルリクエスト信号CREQ₁及びCREQ₂はアサート状態をそのまま維持している。したがって、転送制御部ACONTは、時刻t₂にバス権を放棄した後の時刻t₂に再びバスリクエスト信号BREQをアサートしてホストプロセッサ4にバス権を要求する。この要求に対してホストプロセッサ4が第2図の時刻t₂にバスアクノリッジ信号BACKをアサートしてバス権を放棄すると、転送制御部ACONTはその優先制御に従ってチャンネルリクエスト信号CREQ₁に応ずるチャンネルアクノリッジ信号CAACK₁をアサートし、これによって第2図の時刻t₂から再び第0チャンネルCH₀を介するデータ転送

が開始される。この第0チャンネルCH₀におけるデータ転送が2バイト行われると、バイトカウントレジスタBC₀がクリアされる結果、チャンネルリクエスト信号CREQ₀がネゲートされることに呼応して当該第0チャンネルCH₀におけるデータ転送が終了される。チャンネルリクエスト信号CREQ₀がネゲートされたとき第1チャンネルCH₁のチャンネルリクエスト信号CREQ₁がアサート状態にあり、且つ図示しない全バースト数コンパレレジスタの値が全バースト数レジスタTBRの値に到達していないことから、転送制御部ACONTはバス権を放棄せずそのままチャンネルリクエスト信号CREQ₁にプライオリティを与えて時刻t₁₁から第1チャンネルCH₁にデータ転送を開始させる。この第1チャンネルCH₁におけるデータ転送が1バイト行われると、バイトカウントレジスタBC₁がクリアされる結果、チャンネルリクエスト信号CREQ₁がネゲートされることに呼応して当該第1チャンネルCH₁におけるデータ転送が終了される。本実施例に従えば、チャンネルリ

クエスト信号CREQ₀がネゲートされると、アサートされているチャンネルリクエスト信号が無くなるため、これに応じて転送制御部ACONTは時刻t₁₁にバスリクエスト信号BREQをネゲートしてバス権を放棄する。

上記実施例によれば以下の作用効果を得るものである。

(1) DMAC1は、個々のチャンネルCH₀、CH₁、CH₂におけるデータ転送可能な状態即ちインーブルビットのセット状態に呼応してバス権を獲得し、個々のチャンネルCH₀、CH₁、CH₂における最大連続データ転送語数を対応するバーストレジスタBR₀、BR₁、BR₂の設定値に従って制御すると共に、複数のチャンネルにおけるデータ転送可能な状態を受けるときにはバス権獲得後における連続データ転送語数が最大限全バーストレジスタTBRの設定値に到達するまでバス権を維持するように複数チャンネルにまたがる一連のデータ転送語数を統括的に監視してバス権の放棄を制御することにより、複数のチャンネルにまたがっ

た連続的なデータ転送を可能としてデータ転送効率の向上を達成することができる。

(2) 本実施例のような通信制御LSIを含むような複数のチャンネルにまたがって関連あるデータを転送しなければならないようなシステムでは、回線制御部6を介するデータの送受信制御に必要な制御情報やデータ転送制御に必要なアドレス情報などをメインメモリ3から読み込むことが必要とされ、さらには受信内容に応じて送信処理を行うことも必要とされるため、各種制御情報や送信データをメインメモリ3からRAM8に転送したり、受信データをメインメモリ3に転送したりする動作相互間で関連を有する場合が頻繁に生じ、このようなときに本実施例のように複数のチャンネルにまたがって連続的にデータ転送を行うことができる。この場合、DMAC1は最大限全バースト数レジスタTBRに設定されたバイト数をデータ転送する期間だけバスを占有し、無制限に長くバス権を保有するものではないから、

逆にホストプロセッサ4の可動効率が低下する虞はない。

(3) 特に、書き換え可能なバースト数レジスタBR₀～BR₂や全バースト数レジスタTBRを採用することにより、複数のチャンネルにまたがった連続的なデータ転送語数を任意に変更することができると共にシステムの柔軟性を増すことができる。例えば、バースト数レジスタBR₀～BR₂に関し、受信オーバーランを防止するには受信データ転送用の第0チャンネルCH₀のバースト数を多く設定すればよい。また、送信のアンダーランがクリティカルになるようなシステムにおいては送信データ転送用の第1チャンネルCH₁のバースト数を多く設定するようにすればよい。

(4) 回線制御部6とメインメモリ3との間で行われるDMAC1の制御によるデータ転送に、回線制御部6とDMAC1を結合するDMA転送専用バス11を用いると、斯るデータ転送に際して、共通内部バス5は当該DMA転送に占有されず、DMA転送中にCPU9は通信プロトコル処理の

必要に応じて共通内部バス 5 を利用することができる。したがって、通信制御 L S I の性質上 D M A C 1 によるデータ転送頻度が極めて高くなっても、この状態が C P U 9 による通信プロトコル処理の障害になることを防止することができ、上記同様システム効率向上に寄与することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されずその要旨を逸脱しない範囲において種々変更することができる。

例えば、上記実施例ではチャンネルの数を 3 つ、そして全バースト数レジスタの数を 1 つとしたが本発明はこれに限定されずチャンネルや全バースト数レジスタの数を適宜変更することができる。例えば、チャンネル数を 10 個とした場合に、第 0 チャンネルから第 4 チャンネルまでは第 1 全バースト数レジスタの制御下に置き、第 5 チャンネルから第 9 チャンネルまでを第 2 全バースト数レジスタの制御下に置くことができる。

また、上記実施例ではバースト数レジスタ及び

全バースト数レジスタを書き換え可能に構成したが、書き換えタイミングはシステム起動時に限定されず、チャンネルに対する制御情報設定時に適宜に行うようにすることができ、さらには当該レジスタのデータ保持機能を不揮発性もしくは固定にしてもよい。

また、上記実施例では各チャンネルリクエスト信号に対する優先制御をそれら信号のアサートタイミングの早遅に基づいて行うようにしたが、予め各チャンネルに設定された優先度に基づいて優先制御を行うようにしてもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である 1 チップ通信制御 L S I に適用した場合について説明したが本発明はそれに限定されず D M A C 単体としてさらにはシングルチップマイクロコンピュータなど種々の半導体集積回路に適用することができる。本発明は、少なくとも複数チャンネルを保有するデータ転送制御機能を備えた条件のものに適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、個々のチャンネルにおける連続データ転送語数をバースト数レジスタの設定値に基づいて夫々制御すると共に、バス権獲得後における連続データ転送語数が全バースト数レジスタの設定値に到達するまでデータ転送可能な状態にある他のチャンネルのためにバス権を維持することにより、複数のチャンネルにまたがった連続的なデータ転送を可能としてデータ転送効率を向上させることができるという効果がある。

また、書き換え可能なバースト数レジスタや全バースト数レジスタを採用することにより、複数のチャンネルにまたがった連続的なデータ転送語数を任意に変更することができると共に、システムの柔軟性を増すことができるという効果がある。

そして、回線制御部及びセントラル・プロセッシング・ユニットを えた通信制御 L S I にデー

タ転送制御装置を含めると共に、当該データ転送制御装置を回線制御部に専用のデータ転送バスで結合すると、通信制御 L S I の性質上データ転送制御装置による送受信データの転送頻度が極めて高くなっても、この状態が内蔵セントラル・プロセッシング・ユニットによる通信プロトコル処理などの障害になることを防止することができ、システム効率向上に寄与することができる。

4. 図面の簡単な説明

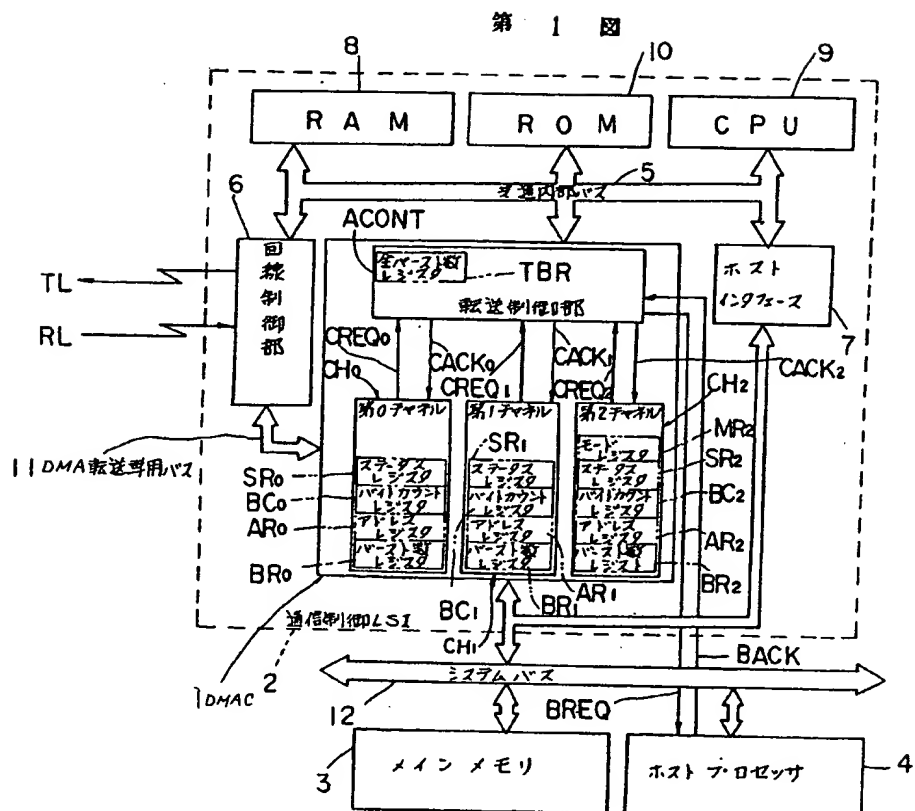
第 1 図は本発明に係るデータ転送制御装置の一実施例であるダイレクト・メモリ・アクセス・コントローラを含むシステムブロック図。

第 2 図は上記ダイレクト・メモリ・アクセス・コントローラによる複数チャンネルに亘る一連のデータ転送動作を説明するためのタイムチャートである。

1 … D M A C、2 … 通信制御 L S I、3 … メインメモリ、4 … ホストプロセッサ、5 … 共通内部バス、6 … 回線制御部、7 … ホストインタフェース、8 … R A M、9 … C P U、10 … R O M、1

1…DMA転送専用バス、12…システムバス、
 CH₀, CH₁, CH₂…チャンネル、SR₀, SR₁,
 SR₂…ステータスレジスタ、BC₀, BC₁, B
 C₂…バイトカウントレジスタ、AR₀, AR₁,
 AR₂…アドレスレジスタ、BR₀, BR₁, BR₂
 …バースト数レジスタ、MR₂…モードレジス
 タ、CREQ₀, CREQ₁, CREQ₂…チャネ
 ルリクエスト信号、CACK₀, CACK₁, CA
 CK₂…チャンネルアクノリッジ信号、ACONT
 …転送制御部、BREQ…バスリクエスト信号、
 BACK…バスアクノリッジ信号。

代理人 弁理士 玉 村 静 世



第 2 図

